

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANTS : Gil-Yong Park et al.
SERIAL NO. : Not Yet Assigned
FILED : February 11, 2004
FOR : AUTOMATIC GAIN CONTROL APPARATUS WITH SHORT
SETTLING TIME

PETITION FOR GRANT OF PRIORITY UNDER 35 USC 119

MAIL STOP PATENT APPLICATION
COMMISSIONER FOR PATENTS
P.O. BOX 1450
ALEXANDRIA, VA. 22313-1450

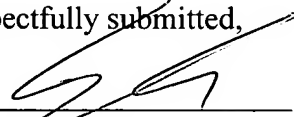
Dear Sir:

Applicant hereby petitions for grant of priority of the present Application on the basis of the following prior filed foreign Application:

<u>COUNTRY</u>	<u>SERIAL NO.</u>	<u>FILING DATE</u>
Republic of Korea	2003-35967	June 4, 2003

To perfect Applicant's claim to priority, a certified copy of the above listed prior filed Application is enclosed. Acknowledgment of Applicant's perfection of claim to priority is accordingly requested.

Respectfully submitted,



Steve S. Cha
Attorney for Applicant
Registration No. 44,069

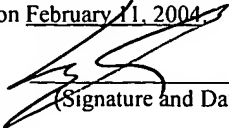
CHA & REITER
210 Route 4 East, #103
Paramus, NJ 07652
(201) 226-9245

Date: February 11, 2004

Certificate of Mailing Under 37 CFR 1.8

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to MAIL STOP PATENT APPLICATION, COMMISSIONER FOR PATENTS, P. O. BOX 1450, ALEXANDRIA, VA. 22313-1450 on February 11, 2004.

Steve S. Cha, Reg. No. 44,069
Name of Registered Rep.)



(Signature and Date)

2/11/04



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0035967
Application Number

출원 년 월 일 : 2003년 06월 04일
Date of Application JUN 04, 2003

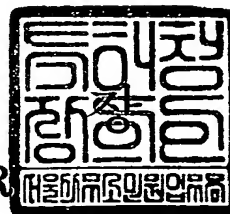
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 08 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【창조번호】	0004
【제출일자】	2003.06.04
【국제특허분류】	H04L
【발명의 명칭】	빠른 세틀링 시간을 갖는 자동 이득 제어 장치
【발명의 영문명칭】	AGC Apparatus having fast settling time
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이건주
【대리인코드】	9-1998-000339-8
【포괄위임등록번호】	2003-001449-1
【발명자】	
【성명의 국문표기】	박길용
【성명의 영문표기】	PARK, Gil Yong
【주민등록번호】	720810-1691715
【우편번호】	442-741
【주소】	경기도 수원시 팔달구 영통동 황골마을쌍용아파트 248동 1406호
【국적】	KR
【발명자】	
【성명의 국문표기】	원신희
【성명의 영문표기】	WON, Shin Hee
【주민등록번호】	681022-1029325
【우편번호】	135-861
【주소】	서울특별시 강남구 도곡1동 960번지 도곡대림아파트 101동 603호
【국적】	KR
【발명자】	
【성명의 국문표기】	박태성
【성명의 영문표기】	PARK, Tae Sung

【주민등록번호】	640619-1029617		
【우편번호】	449-912		
【주소】	경기도 용인시 구성면 마북리 삼성래미안 1차 109동 1202호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	오윤제		
【성명의 영문표기】	OH, Yun Je		
【주민등록번호】	620830-1052015		
【우편번호】	449-915		
【주소】	경기도 용인시 구성면 언남리 동일하이빌 102동 202호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	기현철		
【성명의 영문표기】	KI, Hyeon Cheol		
【주민등록번호】	600428-1068710		
【우편번호】	461-200		
【주소】	경기도 성남시 수정구 복정동 산 65번지		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이건주 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	5	면	5,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	6	항	301,000 원
【합계】	335,000	원	

【요약서】**【요약】****1. 청구범위에 기재된 발명이 속하는 기술분야**

본 발명은 광가입자망의 광수신 장치에 관한 것으로 특히, 버스트 모드 광 수신기에 관한 것임.

2. 발명이 해결하려고 하는 기술적 과제

본 발명은 종래의 AGC 장치를 빠른 세틀링 시간과 AGC 조정 제어 신호의 모노토너스(monotonous)한 특성을 갖도록 하는 빠른 세틀링 시간(Settling Time)을 가지는 자동 이득 제어 장치를 제공하는데 그 목적이 있음.

3. 발명의 해결 방법의 요지

본 발명은, 버스트 모드 광 수신기의 자동 이득 제어(AGC : Automatic Gain Control) 장치에 있어서, 입력 신호를 AGC 조정 제어 신호에 따라 가변적으로 증폭하여 출력하기 위한 가변 이득 증폭기(VGA : variable gain amplifier); 상기 가변 이득 증폭기의 출력단에 연결되어 상기 가변 이득 증폭기의 출력 신호를 전달받아 상기 출력 신호의 세기가 기설정된 소정의 신호(V_{cut})이상이면 상기 두 신호간의 차에 해당하는 신호를 출력하기 위한 클리퍼(Clipper); 상기 클리퍼로부터의 출력 신호를 지수적으로 증폭하여 출력하기 위한 지수 증폭기(exponential amplifier); 및 상기 지수 증폭기의 출력 신호로부터 피크(peak) 값을 검출하여 상기 검출된 피크 값을 홀딩(holding)하며 상기 가변 이득 증폭기의 이득 조절을 위한 상기 AGC 조정 제어 신호를 생성하여 출력하는 피크 홀더(peak holder)를 포함함.

4. 발명의 중요한 용도

본 발명은 광 가입자망 등에 이용됨.

【대표도】

도 2

【색인어】

버스트 모드, 광 가입자망, AGC, VGA

【명세서】

【발명의 명칭】

빠른 세틀링 시간을 갖는 자동 이득 제어 장치{AGC Apparatus having fast settling time}

【도면의 간단한 설명】

도 1 은 종래의 기술에 따른 자동 이득 제어(AGC : Automatic Gain Control) 회로의 일 실시예 구성도.

도 2 는 본 발명에 따른 AGC 장치의 일 실시예 구성도.

도 3 은 본 발명에 따른 AGC 장치의 피크 홀더에 대한 일 실시예 상세 구성도.

도 4 는 본 발명에 따른 AGC 장치의 피크 홀더에 대한 일 실시예 상세 회로도.

도 5 는 본 발명에 따른 AGC 장치의 VCVR에 대한 일 실시예 상세 회로도.

도 6 은 본 발명에 따른 AGC 장치의 클리퍼와 지수 증폭기에 대한 일 실시예 상세 회로도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<7> 본 발명은 광가입자망의 광수신장치에 관한 것으로 특히, 버스트 모드 광 수신기에 관한 것이다.

- <8> 차세대 통신은 가입자들에게 많은 정보를 보다 빠르게 전송하는 것이 요구되는데, 이에 따라 증가하는 데이터 트래픽양이나 음성 및 비디오 서비스를 동시에 수용할 수 있는 가입자망에 대한 연구가 진행중이다.
- <9> 이러한 가입자망에서 특히, 수동소자를 이용한 광가입자망인 PON(Passive Optical Network)이 최근 각광받고 있다. 특히 이더넷 프레임을 이용한 Ethernet PON(이하 EPON)이 새로운 가입자망의 기술로 부각되고 있다. 그리고, 일반적인 PON의 구조는 하나의 OLT(Optical Line Terminal)에 다수의 ONT/ONU(Optical Network Terminal/Optical Network Unit)가 연결되어 데이터를 주고받는 형태를 갖는다.
- <10> 그 동작을 살펴보면, 하나의 OLT에서 다수의 ONT/ONU에 대해 신호를 전달하는 방식은 브로드 캐스팅 방식에 의해 같은 신호를 연결된 ONT/ONU들에 모두 같이 전송한다. 반면, 다수의 ONT/ONU에서 하나의 OLT로 전송하는 상향 신호들은 모두 같이 전송을 하게 되면 그 신호들간의 충돌을 피할 수가 없게 되는데 이를 해결하기 위해, 상향 신호에 대해서는 각각의 ONT/ONU마다 할당된 시간에 데이터를 송신하는 TDMA(Time Division Multiplexing Access) 방식을 지원한다.
- <11> 이때, 하나의 OLT에 연결되어 있는 다수의 ONT/ONU는 서로 다른 거리를 가지고 분포하고 있으므로, 각각의 ONT/ONU들에서 OLT로 올라오는 상향 신호들은 서로 다른 광 세기(optical power)를 가지게 된다.
- <12> 따라서, OLT는 각기 다른 광 세기(optical power)를 가지는 신호들을 수신하

기 위해서 넓은 입력 다이내믹 레인지(input dynamic range)를 가져야 한다. 일반적으로 넓은 입력 다이내믹 레인지(input dynamic range)를 가지기 위해서, 광 수신기는 작은 입력 신호에 대해서는 큰 이득을 가지게 하고 큰 입력 신호에 대해서는 작은 이득을 가지게 하여 신호의 왜곡을 최소화하는 자동 이득 제어(AGC : Automatic Gain Control)를 수행한다.

<13> 특히, EPON 구조에서와 같이 패킷 단위로 들어오는 버스트모드 데이터의 입력 다이내믹 레인지(input dynamic range)를 넓히기 위해서는 빠른 AGC 동작이 요구된다.

<14> 도 1 은 종래의 기술에 따른 자동 이득 제어(AGC : Automatic Gain Control) 회로의 일 실시예 구성도이다.

<15> 도 1 에 도시된 바와 같이, 종래의 기술에 따른 자동 이득 제어 회로는 입력 신호를 AGC 조정 제어 신호에 따라 가변적으로 증폭하는 가변 이득 증폭기(VGA : variable gain amplifier)(11), 가변 이득 증폭기(11)의 출력을 받아 그 신호의 세기를 검출하는 신호 세기 검출기(amplitude detector)(12), 신호 세기 검출기(12)의 출력과 기준 전압(V_{ref})의 차를 증폭하여 가변 이득 증폭기(11)에 대한 AGC 조정 제어 신호로 출력하는 차등 증폭기(differential amplifier)(13) 및 차등 증폭기(13)의 출력 신호인 AGC 조정 제어 신호에서 발생하는 고주파 성분을 제거하기 위한 저역 통과 필터(LPF : low pass filter)(14)를 포함한다.

<16> 그 동작을 좀 더 상세히 살펴보면, 본 도면에 도시되지 않은 외부의 포토다이오드에서 광전 변환된 전류 신호가 가변 이득 증폭기(11)의 입력이 되어 AGC 조정 제어 신호에 따라 증폭되며, 가변 이득 증폭기(11)의 출력은 신호 세기 검출기(12)의 입력으로 들어가게 된다.

- <17> 그리고, 신호 세기 검출기(12)에서는 가변 이득 증폭기(11)의 출력 신호의 신호 세기(amplitude)를 찾아내게 되며, 신호 세기 검출기(12)의 출력은 차등 증폭기(13)에 입력되어 사전에 설정된 기준 전압(V_{ref})과의 차이를 증폭하게 된다.
- <18> 그리고, 이와 같이 증폭된 차등 증폭기(13)의 출력 신호는 가변 이득 증폭기(11)의 AGC 조정 제어 신호로 사용되며, 이러한 AGC 조정 제어 신호의 크기에 따라 가변 이득 증폭기(11)에서는 증폭 이득을 제어하게 된다.
- <19> 그리고, 차등 증폭기(13)의 출력 신호인 AGC 조절 제어 신호는 고주파 성분을 포함하게 되는데, 이러한 고주파 성분의 제거를 위하여 저역 통과 필터(14)를 사용한다.
- <20> 일반적으로, 버스트모드 광통신 시스템에서 버스트 신호에 대한 AGC 동작은 세틀링 시간(settling time)이 매우 중요한 요소이다.
- <21> 그런데, 도 1에 도시된 바와 같은, 기존의 AGC 장치에서는 입력 신호 크기에 따라 생성된 AGC 조정 제어 신호인 차등 증폭기(13)의 출력은 다음 단의 저역 통과 필터(14)를 통과하여야 하는데, 저역 통과 필터(14)는 큰 시상수(time constant)로 의해 세틀링 시간(settling time)이 매우 길어지게 된다.
- <22> 게다가, 신호 세기 검출기(12)의 긴 동작 지연 시간이 AGC 세틀링 시간이 길어지게 하는 요소가 된다.
- <23> 따라서, 종래의 AGC 장치에서는 세틀링 시간이 길어지는 문제점이 발생한다.
- <24> 또한, 초기 과도 상태에서는 입력 신호의 크기가 큰 폭의 차를 보이고 각각의 구성 부분이 초기화되어 있는 상태이기 때문에, 회로에서 발생하는 AGC 조정 제어 신호의 크기가 시간에 따라 모노토너스(monotonous)하지 못하고 기복(fluctuation)있게 될 수도 있기 때문에, 버스

트모드 데이터의 패킷마다 서로 다른 기준 전압을 찾아내는 역할을 하는 ATC(Automatic Threshold Control)의 동작에도 어려움을 야기 시킬 수 있다.

【발명이 이루고자 하는 기술적 과제】

- <25> 본 발명은, 상기와 같은 문제점을 해결하기 위하여 제안된 것으로, 종래의 AGC 장치를 빠른 세틀링 시간과 AGC 조정 제어 신호의 모노토너스(monotonous)한 특성을 갖도록 하는 빠른 세틀링 시간(Settling Time)을 가지는 자동 이득 제어 장치를 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

- <26> 상기의 목적을 달성하기 위한 본 발명은, 버스트 모드 광 수신기의 자동 이득 제어(AGC : Automatic Gain Control) 장치에 있어서, 입력 신호를 AGC 조정 제어 신호에 따라 가변적으로 증폭하여 출력하기 위한 가변 이득 증폭기(VGA : variable gain amplifier); 상기 가변 이득 증폭기의 출력단에 연결되어 상기 가변 이득 증폭기의 출력 신호를 전달받아 상기 출력 신호의 세기가 기설정된 소정의 신호(V_{cut})이상이면 상기 두 신호간의 차에 해당하는 신호를 출력하기 위한 클리퍼(Clipper); 상기 클리퍼로부터의 출력 신호를 지수적으로 증폭하여 출력하기 위한 지수 증폭기(exponential amplifier); 및 상기 지수 증폭기의 출력 신호로부터 피크(peak) 값을 검출하여 상기 검출된 피크 값을 홀딩(holding)하며 상기 가변 이득 증폭기의 이득 조정을 위한 상기 AGC 조정 제어 신호를 생성하여 출력하는 피크 홀더(peak holder)를 포함한다.

- <27> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일실시예를 상세히 설명한다.
- 또한, 본 발명을 설명함에 있어서, 관련된 공지기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.
- <28> 도 2 는 본 발명에 따른 AGC 장치의 일실시예 구성도이다.
- <29> 도 2에 도시된 바와 같이, 본 발명에 따른 AGC 장치는, 입력 신호를 AGC 조정 제어 신호에 따라 가변적으로 증폭하는 가변 이득 증폭기(VGA : variable gain amplifier)(21), 가변 이득 증폭기(21)의 출력을 받아 출력된 신호의 세기가 사전에 설정된 소정의 신호(V_{cut})이상이면 그 두 신호간의 차에 해당하는 신호를 출력하는 클리퍼(Clipper)(22), 클리퍼(22)로부터의 출력 신호를 지수적으로 증폭하는 지수 증폭기(exponential amplifier)(23), 지수 증폭기(23)의 증폭된 출력으로부터 피크(peak) 값을 검출하여 그 값을 홀딩(holding)하며 가변 이득 증폭기(21)에 필요한 AGC 조정 제어 신호를 생성하여 출력하는 피크 홀더(peak holder)(24), 그리고 지수 증폭기(23)의 증폭된 출력이 사전에 설정된 소정의 값 이상의 큰 신호일 때, 피크 홀더(peak holder)(24)에 과전류가 흐르는 것을 방지하기 위해 피크 홀더(peak holder)(24)에 병렬로 연결되어 있는 VCVR(Voltage Controlled Variable Resistor)(25)을 포함한다.
- <30> 좀 더 상세히 본 발명에 따른 AGC 장치의 동작을 살펴보면, 우선, 가변 이득 증폭기(21)는 입력 신호를 AGC 조정 제어 신호에 따라 가변적으로 증폭하여 출력하고, 그 출력 신호는 클리퍼(22)에서 일정 레벨 이하의 신호는 클리핑하고, 일정 레벨 이상의 신호만을 출력한다. 이때, 일정 레벨은 사전에 설정된 소정의 전압(V_{cut})에 의해 설정된다. 이와 같이, 일정 레벨 이상의 신호만이 출력되어 AGC 조정 제어 신호를 생성하는 원천으로 사용함으로써 소정의 전압(V_{cut})에 의해 설정된 레벨 이상의 신호에 대해서만 AGC 동작이 수행된다. 따라서, 클리

퍼(22)가 AGC 동작의 수행 여부를 판단하여 도 1의 종래의 AGC회로에 포함된 신호 세기 검출기(12)의 역할을 대신함으로써 회로의 복잡도와 동작 지연 시간을 대폭 줄일 수 있다.

<31> 그리고, 클리퍼(22)에서 출력된 클리핑된 신호는 지수 증폭기(23)를 거쳐서 피크 홀더(24)에 인가된다. 피크 홀더(24)는 지수 증폭기(23)의 출력 신호의 피크(peak) 값을 일정하게 유지함과 동시에 출력을 가변 이득 증폭기(21)의 이득 조절 단자에 인가하여 증폭 이득을 조절한다. 여기서 피크 홀더(24)는 도 1에 도시된 종래의 AGC 장치에서의 저역 통과 필터(14)와 같은 AGC 조절 제어 신호의 고주파 성분을 제거하는 기능을 갖는다. 이 경우 피크 홀더(24)는 저역 통과 필터(14)에 비해 매우 작은 시상수로서도 동작할 수 있으므로 AGC 세틀링 시간을 현저히 줄여 줄 수 있다.

<32> 그리고, 지수 증폭기(23)는 클리핑된 신호를 지수 함수 적으로 증폭하여 피크 홀더(24)에 인가한다. 그 이유는 피크 홀더(24)에서 피크 값을 홀딩하기 위한 시간 지연을 줄이기 위함이다. 좀 더 상세히는, 피크 홀더(24)의 시상수가 AGC 세틀링 시간을 결정하는 주된 요소가 되며 AGC 조정 제어 신호의 레벨이 커질 수록 세틀링 시간이 길어지게 되는데, 피크 홀더(24)의 시상수는 일정하며 일정한 시상수에 대한 입력 신호의 세기가 커지면 그에 따라 시간 지연이 단축된다는 점을 이용하는 것이다. 즉, 이와 같이 지수 함수적으로 증폭하여 피크 홀더(24)에 입력함으로써, AGC 조정 제어 신호의 레벨 크기에 따른 세틀링 시간의 편차를 줄여서 실제 세틀링 시간인 최대 세틀링 시간을 최소화한다.

<33> 한편, 피크 홀더(24)의 시상수가 작고 가변 이득 증폭기(21)의 출력 신호가 매우 커질 경우, 본 발명에 따른 AGC 장치에서의 AGC 조정 제어 신호 생성 과정에서 피크(peak) 전류에 의한 피크 홀더(24)의 과 충전 현상이 발생할 수 있다. 이를 방지하기 위하여 도 2에서 보인

바와 같이, VCVR(Voltage Controlled Variable Resistor)(25)를 피크 홀더(24)에 병렬로 부가한다.

<34> 여기서, VCVR(25)은 피크 홀더(24)에 병렬 연결되어 지수 증폭기(23)의 출력 레벨이 커질 경우 신호의 하이(high) 레벨에서 순간적인 누설 경로를 제공하여 피크 홀더(24) 내의 전압 홀딩을 위한 커패시터(Capacitor)가 과충전되는 것을 막아 준다.

<35> 도 3 은 본 발명에 따른 AGC 장치의 피크 홀더에 대한 일실시에 상세 구성도이다.

<36> 도 3에 도시된 바와 같이, 본 발명에 따른 AGC 장치의 피크 홀더(24)는 지수 증폭기(23)로부터의 신호를 수신하여 해당 신호의 피크값을 검출하는 피크값 검출부(31), 지수 증폭기(23)의 출력 신호의 피크값을 보전하고 그 값을 출력하며 외부로부터의 초기화 신호에 따라 보전된 피크값을 초기화하는 피크값 보전부(32)를 포함한다.

<37> 또한, 본 발명에 따른 AGC 장치에 대한 새로운 신호의 입력에 따라 피크값 보전부(32)의 피크값을 초기화시키기 위한 리셋 신호를 발생하는 초기화부(33)와 본 발명에 따른 AGC 장치에 대한 새로운 신호의 입력을 감지하여 초기화부(33)가 리셋 신호를 발생하도록 제어하는 제어부(100)가 본 발명에 따른 AGC 장치의 외부에 구비된다.

<38> 특히, 초기화부(33)는 본 발명에 따른 AGC 장치에 입력되는 현재의 데이터가 종료되고 더이상의 입력 데이터가 없다는 정보를 외부의 제어부(100)로부터 전달받아 피크값 보전부(32)에 리셋 신호를 전달하여 피크값 보전부(32)를 초기화하고 다음 데이터의 입력시 다시 새로운 피크값을 가지도록 한다.

<39> 도 4 는 본 발명에 따른 AGC 장치의 피크 홀더에 대한 일실시에 상세 회로도이다.

<40> 도 4에 도시된 바와 같이, 본 발명에 따른 AGC 장치의 피크 홀더(24)는 피크값 검출부(31), 피크값 보전부(32) 및 초기화부(33)로 구성된다. 특히, 피크값 검출부(31)는 지수 증폭기(23)로부터의 신호를 수신하여 해당 소자(즉, 피크 홀더)의 DC(Direct Current) 레벨에 상당하도록 수신된 신호의 DC 레벨을 변환하여 전달하는 레벨 천이기(Level Shift)(41), 다이오드(D1)(42) 및 저항(R)(43)을 포함한다. 또한, 피크값 보전부(32)는 커패시터(C)(44)와 MOS FET(45)의 병렬 연결로 구성되어 커패시터(44)에 피크값을 충전하여 홀딩하고 그 값을 출력하고, 초기화부(33)로부터의 리셋 신호에 의해 MOS FET(45)이 스위칭되어 커패시터(C)(44)가 방전됨으로써 초기화가 수행된다.

<41> 이상에서 초기화 동작을 좀 더 상세히 보면, 본 발명에 따른 AGC 장치의 외부에 위치한 제어부(100)로부터 본 발명에 따른 AGC 장치로의 데이터 입력이 없음을 전달받은 초기화부(33)는 피크값 보전부(32)를 초기화시키기 위한 리셋 신호를 발생하고, 이를 피크값 보전부(32)의 MOS FET(45)의 게이트(Gate)단으로 입력한다. MOS FET(45)의 동작 특성상 게이트-소스(Source)간의 전압차가 발생하면, 드레인(Drain)-소스간 신호가 연결된다. 따라서, 도 4의 도면을 보면, 리셋 신호가 인가되면, 커패시터(44)와 병렬 연결된 MOS FET(45)이 단락(Short)되어 커패시터(44)의 충전 전압이 방전된다.

<42> 도 5는 본 발명에 따른 AGC 장치의 VCVR에 대한 일실시에 상세 회로도이다.

<43> 도 5에 도시된 바와 같이, 본 발명에 따른 AGC 장치의 VCVR(25)은 피크 홀더(24)와 병렬 연결되는데, 지수 증폭기(23)의 출력 신호를 수신하여 해당 소자(즉, VCVR)의 DC(Direct Current) 레벨에 상당하도록 수신된 신호의 DC 레벨을 변환하여 전달하는 레벨 천이기(Level Shift)(51), 레벨 천이된 신호를 게이트로 입력받아 피크 홀더(24) 내의 전압 홀딩을 위한 커패시터(Capacitor)가 과충전되는 것을 막기 위한 순간적인 누설 경로를 제공하도록 스위칭 동

작을 수행하기 위한 MOS FET(54), MOS FET(54)의 드레인 저항(R2)(52), MOS FET(54)의 소스 저항(R3)(53)을 포함한다.

<44> 그 동작을 살펴보면, 지수 증폭기(23)의 출력 신호가 MOS FET(54)의 동작을 위하여 사전에 설정된 일정 레벨이상으로 커질 경우, MOS FET(54)이 "ON"이 되고 출력이 R2(52), R3(53)을 통해 접지된다. 이에 따라, 병렬 연결된 피크 홀더(24)의 커패시터(44)로 인가되는 전압에 의해 발생하는 전류의 상당 부분을 R3(53)를 직렬연결함으로써 커다란 저항값을 가지게 된 VCVR(25)쪽으로 보냄으로써, 피크 홀더(24)의 커패시터(44)에 대한 순간적인 누설 경로를 제공하여 피크 홀더(24) 내의 전압 홀딩을 위한 커패시터가 과충전되는 것을 막아 준다.

<45> 도 6 은 본 발명에 따른 AGC 장치의 클리퍼와 지수 증폭기에 대한 일실시에 상세 회로도이다.

<46> 도 6에 도시된 바와 같이, 본 발명에 따른 AGC 장치에 있어서, 클리퍼(22)와 지수 증폭기(23)는 회로의 설계상 같이 구현되는 경우가 많다. 본 실시예에서는 2개의 BJT 트랜지스터(61, 62)와 2개의 저항(63, 64)을 이용하여 클리퍼(22)와 지수 증폭기(23)를 구현한 회로도를 제시한다.

<47> 우선, NPN형의 BJT 트랜지스터 Q1(61)의 베이스로 가변 이득 증폭기(21)의 출력 신호를 입력받는다. 그리고, BJT 트랜지스터 Q1(61)의 콜렉터는 Vcc와 연결되고, 또한, R4저항(63)의 일측과 연결된다. 그리고, BJT 트랜지스터 Q1(61)의 에미터는 BJT 트랜지스터 Q2(62)의 에미터와 연결되고, 또한, R5저항(64)의 일측에 연결된다.

<48> 그리고, R4저항(63)은 일측은 BJT 트랜지스터 Q1(61)의 콜렉터와 Vcc에 연결되며, 타측은 BJT 트랜지스터 Q2(62)의 콜렉터와 연결된다. 이 때, R4저항(63)의 타측과 BJT 트랜지스터

Q2(62)의 콜렉터 사이의 한 점을 분기하여 본 실시예인 클리퍼(22)와 지수 증폭기(23)의 최종 신호를 출력한다.

<49> 그리고, NPN형의 BJT 트랜지스터 Q2(62)의 베이스로 사전에 설정된 클리핑하고자 하는 소정의 전압값을 입력받는다. 그리고, BJT 트랜지스터 Q2(62)의 콜렉터는 R4저항(63)의 타측과 연결된다. 그리고, BJT 트랜지스터 Q2(62)의 에미터는 BJT 트랜지스터 Q1(61)의 에미터와 연결되고, 또한, R5저항(64)의 일측에 연결된다.

<50> 그리고, R5저항(64)은 일측은 BJT 트랜지스터 Q1(61)의 에미터와 BJT 트랜지스터 Q2(62)의 에미터에 연결되며, 타측은 접지된다.

<51> 이와 같이, 트랜지스터 Q1(61), Q2(62)의 에미터는 공통으로 묶여져 있고, Q2(62)의 베이스는 외부에서 소정의 전압값(V_{cut})으로 설정되어 있다. 따라서, Q1(61)의 베이스에 소정의 전압값(V_{cut}) 이하의 신호가 입력되면, Q1(61)과 Q2(62)는 "OFF"가 되어 어떤 신호도 출력되지 않는다. 하지만, Q1(61)의 베이스에 소정의 전압값(V_{cut}) 이상의 신호가 입력되면 Q1(61)과 Q2(62)는 "ON"이 되어 Q2(62)의 콜렉터에서 신호가 출력된다. 이것이 지수 함수적인 증폭 특성을 가지는 것은 트랜지스터의 다이오드 특성에 기인한다.

<52> 이상에서 설명한 본 발명은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 있어 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하므로 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니다.

【발명의 효과】

- <53> 상기와 같은 본 발명은, 빠른 AGC 세틀링 시간을 갖도록 하는 AGC 장치를 제공함으로써, 후단의 ATC(Automatic Threshold Control)와 제한 증폭기(limiting amplifier)를 조합하여 빠른 버스트모드 응답 특성을 갖는 효율적인 버스트모드 광 수신기 구성이 가능하도록 하는 효과가 있다.
- <54> 또한, 본 발명은, VCVR을 통해 초기 전류의 과다 유입을 막음으로써, AGC 조정 제어 신호의 발생시 초기 신호가 모노토너스하지 못한 특성을 개선하는 효과가 있다.

【특허청구범위】**【청구항 1】**

버스트 모드 광 수신기의 자동 이득 제어(AGC : Automatic Gain Control) 장치에 있어서,

입력 신호를 AGC 조정 제어 신호에 따라 가변적으로 증폭하여 출력하기 위한 가변 이득 증폭기(VGA : variable gain amplifier);

상기 가변 이득 증폭기의 출력단에 연결되어 상기 가변 이득 증폭기의 출력 신호를 전달 받아 상기 출력 신호의 세기가 기설정된 소정의 신호(V_{cut})이상이면 상기 두 신호간의 차에 해당하는 신호를 출력하기 위한 클리퍼(Clipper);

상기 클리퍼로부터의 출력 신호를 지수적으로 증폭하여 출력하기 위한 지수 증폭기(exponential amplifier); 및

상기 지수 증폭기의 출력 신호로부터 피크(peak) 값을 검출하여 상기 검출된 피크 값을 홀딩(holding)하며 상기 가변 이득 증폭기의 이득 조정을 위한 상기 AGC 조정 제어 신호를 생성하여 출력하는 피크 홀더(peak holder)를 포함하는 빠른 세틀링 시간(Settling Time)을 가지는 자동 이득 제어 장치.

【청구항 2】

제 1 항에 있어서,

상기 피크 홀더와 병렬로 연결되며, 상기 지수 증폭기의 출력 신호가 기설정된 소정의 값 이상의 신호일 경우에 상기 피크 홀더에 과전류가 흐르는 것을 방지하기 위한 전류 누설 경

로를 만드는 VCVR(Voltage Controlled Variable Resistor)을 더 포함하는 것을 특징으로 하는 빠른 세틀링 시간(Settling Time)을 가지는 자동 이득 제어 장치.

【청구항 3】

제 1 항 또는 제 2 항에 있어서,

상기 피크 홀더(peak holder)는,

상기 지수 증폭기의 출력 신호로부터 상기 피크 홀더의 DC(Direct Current) 레벨에 상당하도록 수신된 상기 지수 증폭기의 출력 신호의 DC 레벨을 변환하고 상기 출력 신호의 레벨을 검출하는 피크값 검출부; 및

상기 지수 증폭기의 출력 신호로부터 상기 출력 신호의 피크값을 보전하고 상기 보전된 피크값으로부터 상기 가변 이득 증폭기의 이득 조절을 위한 상기 AGC 조정 제어 신호를 생성하여 출력하는 피크값 보전부를 포함하는 것을 특징으로 하는 빠른 세틀링 시간(Settling Time)을 가지는 자동 이득 제어 장치.

【청구항 4】

제 3 항에 있어서,

상기 피크값 보전부는,

외부로부터의 초기화 신호에 따라 상기 보전된 피크값을 초기화하는 것을 특징으로 하는 빠른 세틀링 시간(Settling Time)을 가지는 자동 이득 제어 장치.

【청구항 5】

제 4 항에 있어서,

상기 초기화 신호는,

상기 자동 이득 제어 장치에 입력되는 데이터가 종료되고 더이상의 입력 데이터가 없다는 정보를 외부로부터 전달받아 다음 데이터의 입력시 다시 새로운 피크값을 가지도록 하기 위하여 상기 피크값 보전부를 초기화하도록 전달되는 것을 특징으로 하는 빠른 세틀링 시간 (Settling Time)을 가지는 자동 이득 제어 장치.

【청구항 6】

제 1 항 또는 제 2 항에 있어서,

상기 클리퍼 및 상기 지수 증폭기는,

베이스로 상기 가변 이득 증폭기의 출력 신호를 입력받고, 컬렉터는 V_{cc} 및 제 1 저항의 일측과 연결되며, 에미터는 제 2 트랜지스터의 에미터 및 제 2 저항의 일측에 연결되는 제 1 트랜지스터;

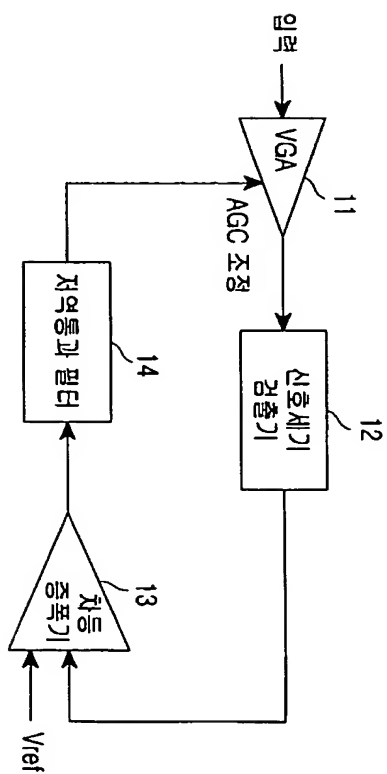
베이스로 사전에 설정된 클리핑하고자 하는 소정의 전압값을 입력받고, 컬렉터는 상기 제 1 저항의 타측과 연결되며, 에미터는 상기 제 1 트랜지스터의 에미터 및 상기 제 2 저항의 일측에 연결되는 상기 제 2 트랜지스터;

일측은 상기 제 1 트랜지스터의 컬렉터 및 V_{cc} 에 연결되며, 타측은 상기 제 2 트랜지스터의 컬렉터와 연결되는 상기 제 1 저항; 및

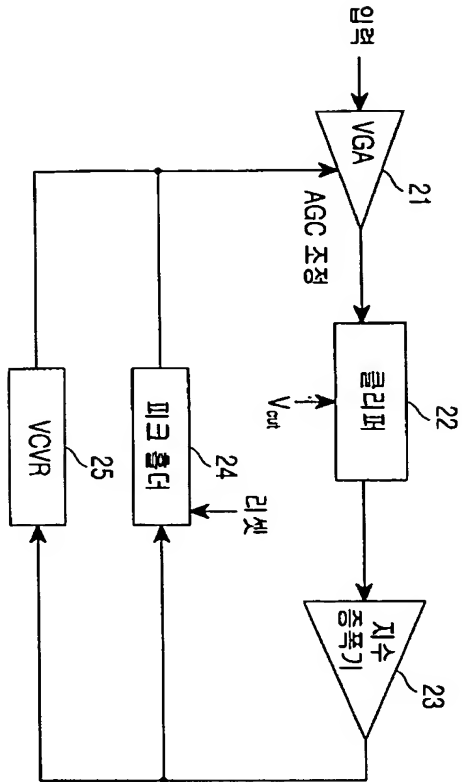
일측은 상기 제 1 트랜지스터의 에미터와 상기 제 2 트랜지스터의 에미터에 연결되며,
타측은 접지되는 상기 제 2 저항으로 구성되는 것을 특징으로 하는 빠른 세틀링 시간(Settling
Time)을 가지는 자동 이득 제어 장치.

【도면】

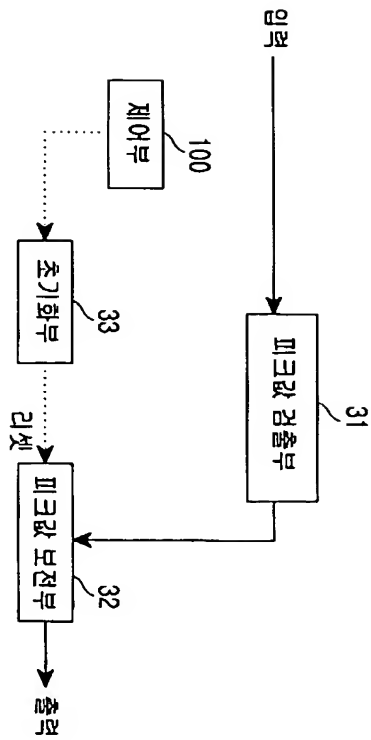
【도 1】



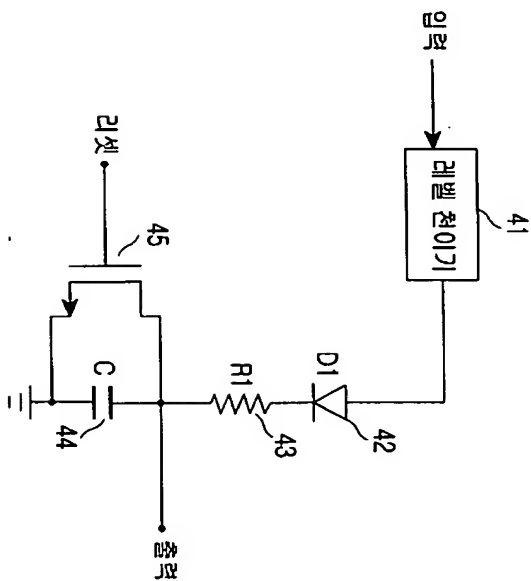
【도 2】



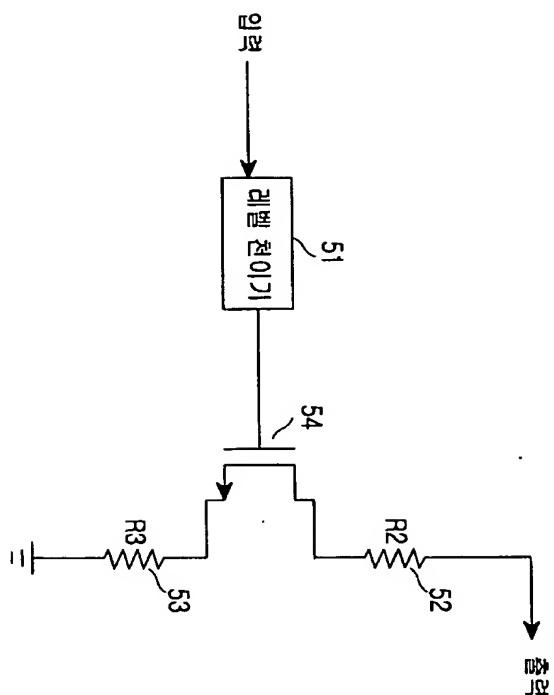
【도 3】



【도 4】



【도 5】



【도 6】

